

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
009436377 **Image available**

WPI Acc No: 1993-129894/199316

XRAM Acc No: C93-057770

XRPX Acc No: N93-099067

Mfr. of semiconductor device for thin film transistor - selectively forms
region where crystal nucleus is generated in amorphous semiconductor film
before solid phase crystallisation NoAbstract

Patent Assignee: OKI ELECTRIC IND CO LTD (OKID)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 5067635	A	19930319	JP 91229120	A	19910909	199316 B

Priority Applications (No Type Date): JP 91229120 A 19910909

Patent Details:

Patent No	Kind	Lan Pg	Main IPC	Filing Notes
-----------	------	--------	----------	--------------

JP 5067635	A		7 H01L-021/336	
------------	---	--	----------------	--

Title Terms: MANUFACTURE; SEMICONDUCTOR; DEVICE; THIN; FILM;
TRANSISTOR; SELECT; FORM; REGION; CRYSTAL; NUCLEUS; GENERATE;
AMORPHOUS; SEMICONDUCTOR; FILM; SOLID; PHASE; CRYSTAL; NOABSTRACT

Derwent Class: L03; U11

International Patent Class (Main): H01L-021/336

International Patent Class (Additional): H01L-021/20; H01L-027/12;

H01L-029/784

File Segment: CPI; EPI

DIALOG(R)File 347:JAPIO

(c) 2001 JPO & JAPIO. All rts. reserv.

04075935 **Image available**

MANUFACTURE OF SEMICONDUCTOR DEVICE

PUB. NO.: 05-067635 [JP 5067635 A]

PUBLISHED: March 19, 1993 (19930319)

INVENTOR(s): KATO TERUO

APPLICANT(s): OKI ELECTRIC IND CO LTD [000029] (A Japanese Company or Corporation), JP (Japan)

APPL. NO.: 03-229120 [JP 91229120]

FILED: September 09, 1991 (19910909)

INTL CLASS: [5] H01L-021/336; H01L-029/784; H01L-021/20; H01L-027/12

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R096 (ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors, MOS); R100 (ELECTRONIC MATERIALS -- Ion Implantation)

JOURNAL: Section: E, Section No. 1401, Vol. 17, No. 386, Pg. 13, July 20, 1993 (19930720)

ABSTRACT

PURPOSE: To control the crystal grain boundary existing in a channel region for minimizing variation of the characteristics due to the increased particle diameter by a method wherein, during the formation step of the polycrystal silicon film in a thin film transistor using the polycrystal silicon film as an active layer, a precedent nucleus producing region is selectively formed during the solid phase crystallizing step.

CONSTITUTION: Firstly, a silicon substrate 1 having an insulating film 2, a gate electrode 3, a gate insulating film 4 is prepared. Next, an amorphous silicon film 5 is formed; a pattern specifying a source drain diffused region 7 is formed; phosphorus is ion-implanted to form a high concentration region 6; and then the whole body is heat-treated. At this time, the high concentration region 6 is turned into a precedent nucleus producing region further to be crystallized by the solid state growing step of the polycrystal silicon film 5a while in a channel region, the position of crystal grain boundary can be controlled without the free nucleus production at all. Later, after pattern-separating the polycrystal silicon film 5a, an inter-layer insulating film 8 and a wiring electrode 9 are formed.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平5-67635

(43)公開日 平成5年(1993)3月19日

(51)Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 21/336

29/784

21/20

27/12

9171-4M

8728-4M

9056-4M

H 0 1 L 29/ 78

3 1 1 Y

審査請求 未請求 請求項の数4(全 7 頁)

(21)出願番号

特願平3-229120

(22)出願日

平成3年(1991)9月9日

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 加藤 輝男

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

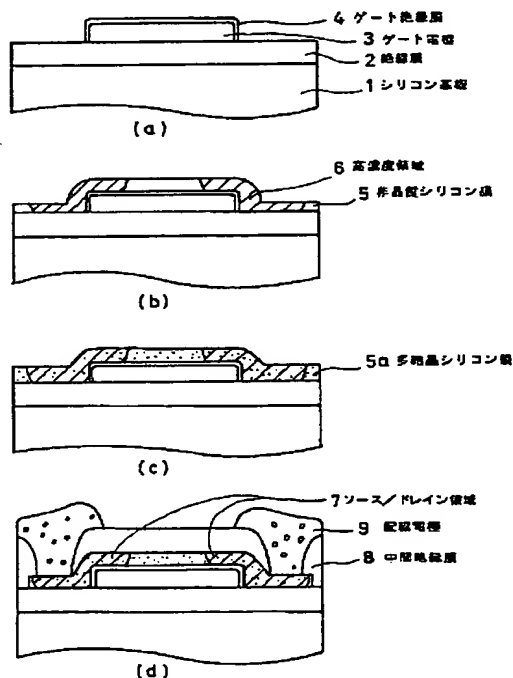
(74)代理人 弁理士 鈴木 敏明

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】 本発明は、多結晶シリコン膜を活性層として用いた薄膜トランジスタにおける、その多結晶シリコン膜の大粒径化に伴う特性のばらつきをなくす製法を提供するものである。

【構成】 前述の目的のために本発明では、非晶質シリコン膜を固相結晶化する前に、その膜に優先的に結晶核が発生する領域を選択的にまず形成するようにした。



本発明の第1の実施例

【特許請求の範囲】

【請求項1】 非晶質半導体膜を固相結晶化することにより多結晶半導体膜を形成する半導体装置の製造方法において、

前記固相結晶化を行なう前に、前記非晶質半導体膜に、優先的に結晶核が発生する領域を選択的に形成することを特徴とする半導体装置の製造方法。

【請求項2】 前記優先的に結晶核が発生する領域の形成を、選択的に高濃度不純物注入領域を形成することにより行なうことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項3】 前記優先的に結晶核が発生する領域の形成を、前記非晶質半導体膜に接する絶縁膜に選択的に高シリコン濃度領域を形成することにより行なうことを特徴とする請求項1記載の半導体装置の製造方法。

【請求項4】 前記優先的に結晶核が発生する領域の形成を、前記非晶質半導体膜と金属との合金または化合物の領域を形成することにより行なうことを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、多結晶シリコン膜を活性層として用いたいわゆる薄膜トランジスタの、その多結晶シリコン膜の形成方法に関するものである。

【0002】

【従来の技術】 絶縁膜上に形成された半導体薄膜を能動素子として用いる薄膜トランジスタは、集積回路の高集積化を図る上で極めて有利である。従来、この種の技術に関するものとしては、例えば特開昭60-62159号公報および特開昭61-116874号公報に記載されるようなものがあった。これらの文献は、いずれも通常のMOSトランジスタ上に形成される薄膜トランジスタを示すものである。これらの例にも示される様に、薄膜トランジスタを形成する半導体薄膜としては、製造上の容易さから、多結晶シリコン膜が多く用いられている。

【0003】 しかしながら、この多結晶シリコン薄膜トランジスタは、多結晶シリコンの粒内、粒界に存在するため、その特性が単結晶シリコン上のデバイスに比べて、著しく劣ることがわかっている。このため、(1)水素原子によってこの結晶欠陥を電気的に不活性化させる水素化処理法、(2)大粒径の多結晶シリコンを用いることにより、結晶粒界の電気特性への影響を小さくする方法などがとられている。

【0004】 最近になって非晶質シリコンを固相で結晶化する方法が開発され、通常0.1 μ m程度の結晶粒径が1~5 μ mまで大きくなることがわかっている。以下にこの方法を用いた多結晶シリコン薄膜トランジスタの製造方法について図2を用いて説明する。

【0005】 まず、図2(a)のようにシリコン基板1

を用意し、絶縁膜2、ゲート電極3を形成する。さらに、その上にゲート絶縁膜4を形成する。このゲート絶縁膜4は、例えばCVD法によるシリコン酸化膜でも良いし、ゲート電極として用いた多結晶シリコンの熱酸化でも良い。膜厚は典型的には約40nmである。

【0006】 この上に図2(b)に示すように、10~100nmの非晶質シリコン膜5を形成する。この非晶質シリコン膜5は電子ビーム蒸着法、CVD法、多結晶シリコン膜へのシリコン・イオン注入法のいずれで形成してもよい。

【0007】 次に図2(c)のように、550℃~650℃N₂中で5~15時間の熱処理を行なうことにより、固相結晶化し、1~5 μ mの結晶粒径を有する多結晶シリコン膜5aが得られる。

【0008】 その後図2(d)のように、この多結晶シリコン膜5aを、パターニングした後選択的に、リンイオンをイオン注入し、ソース・ドレイン拡散領域7を形成する。さらに層間絶縁膜8、配線電極9を形成するのである。

【0009】

【発明が解決しようとする課題】 しかしながら、上述べた方法では、トランジスタ特性のバラツキ(偏差)が大きくなるという欠点があった。

【0010】 この方法では、最大数 μ mの結晶粒が得られるが、一方使用するトランジスタの寸法は1 μ m程度となっている。この場合、チャネル内に粒界が含まれるか、否かにより、トランジスタ特性が大きく異ってしまうことになる。

【0011】 結晶核の位置は制御されておらず、また、このため粒径に分布があることから、チャネル内に粒界が含まれるかどうかは確率的事象であってまったく制御不可能である。

【0012】 この発明は以上述べた大粒径化に伴う、特性上のバラツキという問題点を除去するため、トランジスタのチャネル領域に合わせるように結晶粒界を制御するようにし、それにより特性の優れたトランジスタを、小さなバラツキで形成する方法を提供するものである。

【0013】

【課題を解決するための手段】 前述の目的のためこの発明は、固相成長による多結晶薄膜の製造方法において、選択的に優先核発生領域を形成し、その領域に優先的に結晶核を形成せしめることにより、結晶核の位置を制御し、トランジスタのチャネル領域となる領域を該優先核発生領域からの固相成長により、結晶化するようにしたものである。

【0014】

【作用】 前述のように本発明では、固相結晶化の際に、選択的に優先核発生領域を形成するようにしたので、優先的に結晶核の発生する場所を制御性よく形成すること

ができ、薄膜トランジスタのチャネル領域に存在する結晶粒界を制御することが可能となる。

【0015】これにより、従来みられた、大粒径化による特性のバラツキを最少に抑えることができる。

【0016】

【実施例】以下、図1を用いて、本発明の第1の実施例を詳細に説明する。

【0017】まず、従来例と同様に、絶縁膜2、ゲート電極3、ゲート絶縁膜4を有するシリコン基板1を用意する(図1(a))

次に、50nmの非晶質シリコン膜5を形成し、次いで、ソース/ドレイン拡散領域を規定するパターンをフォトリソグラーフを用いて形成し、次いで、 1×10^{14} ions/cm²、40keVの条件でリンイオンをイオン注入し、高濃度領域6を形成する(この領域は将来ソース/ドレイン領域となる)(図1(b))

その後、N₂中で600℃、15Hの熱処理を行なう。この時、図3熱処理時間と結晶化率の関係に示すように、高濃度にドーピングした領域程、結晶核の発生が速く、結晶化率も速いことから、まず、高濃度領域6から多結晶化が始まる。つまり、この高濃度領域6は優先核発生領域と称する領域である。そして、低濃度(またはドーピングしていない)領域が結晶化を開始する時間には、高濃度領域6の結晶化は終了しているため、低濃度領域は、自由に(ランダムに)核発生・成長を起こすよりは、むしろ、高濃度領域6の多結晶シリコン5aをシード(種)として、固相(エピタキシャル)成長により結晶化が進む。このため、高濃度領域6に狭まれたチャネル領域は、自由な(ランダムな)核発生を起こすことなく、両側の高濃度領域6から結晶化が始まる。これにより、チャネル領域は結晶粒界の位置が制御されかつ必ず1コだけの結晶粒界が存在することになる。(図1(c))

その後、多結晶シリコン膜5aをパターニング/分離した後、必要があればイオン注入種の活性化熱処理を行ない、さらに層間絶縁膜8、配線電極9を形成する。さらに必要ならば、層間絶縁膜、配線電極を形成し、多層配線としてもよい。

【0018】次に、図5を用いて、本発明の第2の実施例を詳細に説明する。

【0019】まず、従来例と同様に絶縁膜2、ゲート電極3、ゲート絶縁膜4を有するシリコン基板1を用意する(図5(a))

そして、イオン注入により選択的にドーズ量 10^{20} cm⁻²程度のシリコン/イオン注入を行ない、絶縁膜2の表面からゲート絶縁膜4の両側部にかけて高シリコン濃度領域10を形成する。(図5(b))

次いで、厚さ50nmの非晶質シリコン膜5を形成する。(図5(c))

その後、N₂中で600℃、15H程度の熱処理を行な

う。この時、高シリコン濃度領域10では結晶核の発生が速いため、まず、高シリコン濃度領域10から、多結晶化が始まる。即ち、この高シリコン濃度領域10が優先核発生領域である。そして、この領域10をシード(種)として固相(エピタキシャル)成長により結晶化が進み、多結晶シリコン膜5aとなっていく。これにより将来チャネルとなる領域は結晶粒界の位置が制御され、かつ、必ず1コだけの結晶粒界が存在することになる。(図5(d))

その後多結晶シリコン膜5aをパターニング/分離した後、ソース/ドレイン形成のためのイオン注入/活性化熱処理を行ない、さらに層間絶縁膜8、配線電極9を形成する。必要があれば、さらに層間絶縁膜、配線電極を形成し、多層配線としてもよい。(図5(e))

さらに図6を用いて、第3の実施例について説明する。

【0020】まず、従来例と同様に、絶縁膜2、ゲート電極3、ゲート絶縁膜4を有するシリコン基板1を用意し、さらに50nmの非晶質シリコン膜5を形成する。

(図6(a))

次いで、非晶質シリコン膜5上にゲート電極3の両側部の上に少しかかる程度選択的に20~50nmの金属膜11を形成する。この形成法としては、フォトリソグラーフ技術を用いた選択エッチング法によってもよいし、イオンビームを利用したイオン・アシスト・CV D法などでもよい。(図6(b))

その後、N₂中で600℃、15H程度の熱処理を行なう。この時金属膜11の種類を適切に選べば、金属膜11と非晶質シリコン膜5が反応し合金または金属間化合物を形成する。前者の例はAu(金)などであり、後者の例はPt(白金)、Pd(パラジウム)などである。これらの金属は非晶質シリコンと反応すると結晶または、多結晶になるから、この(多)結晶領域即ち優先核発生領域をシード(種)として固相(エピタキシャル)成長により結晶化が進み、多結晶シリコン膜5aとなる。これにより将来チャネルとなる領域は結晶粒界の位置が制御され、かつ、必ず1コだけの結晶粒界が存在することになる(図6(c))

その後、多結晶シリコン膜5aをパターニング/分離した後ソース/ドレイン形成のためのイオン注入/活性化熱処理を行ない、さらに層間絶縁膜8、配線電極9を形成し、多層配線としてもよい(図6(d))。

【0021】以上説明した実施例では、優先核発生領域をソース/ドレイン領域7と同一としたが、高濃度領域6とソース/ドレイン領域7の位置関係についてはこれに限るものではない。例えば図4(a)に示すように、優先核発生領域がチャネル領域を除き、かつソース/ドレイン領域を完全に含んでいれば、多結晶シリコン膜のパターニングにより、チャネル領域とソース/ドレイン領域が形成できる。

【0022】また図4（b）のように、ソース／ドレイン領域に、優先核発生領域が含まれていれば、同様の結晶粒界が形成可能である。

【0023】さらに、優先核発生領域が素子領域外にあっても良い。この場合、優先核発生領域は、素子領域を分離する工程により素子領域に影響を与えなくなる。例えば、図4（c）のように、チャンネル領域の脇横にあるとすると、生成される結晶粒界はチャンネルの電流方向に平行となり、電気特性に与える結晶粒界の影響をより小さくすることができる。

【0024】また、本実施例はゲート電極がチャンネル領域の下にある、いわゆる逆構造トランジスタの例であるが、順方向トランジスタにおいても、ゲート電極とソース／ドレイン領域の形成を別パターンにより行なう（非セルフアライン方式）ならば、本実施例とほぼ同様に実施できる。

【0025】さらに、ソース／ドレイン領域をゲート電極に自己整合的に形成する方式（セルフアライン方式）においても、ゲート電極形成までの工程を非晶質シリコンが結晶化する温度（約550℃）以下であれば本発明は適用可能である。

【0026】さらにまた、実施例としてMOS型電界効果トランジスタを使用した例を示したが、多結晶シリコン薄膜を用い、優先核発生領域となる領域を有していれば、これに限るものではない。例えば、接合型電界効果トランジスタ、バイポーラ型トランジスタ、抵抗器などにも応用可能である。

【0027】

【発明の効果】以上述べたように、この発明によれば、

固相結晶化の際に、選択的に優先核発生領域を形成するようにしたので、優先的に結晶核の発生する場所を制御性よく形成することができ、薄膜トランジスタのチャンネル領域に存在する結晶粒界を制御することが可能となる。

【0028】これにより、従来みられた大粒径化による特性のバラツキを最少に抑えることができる。

【0029】また、第1の実施例では、従来、多結晶シリコン膜形成後行っていたソース／ドレイン形成のためのイオン注入を固相結晶化前に持ってきてただけであるため、工程は増加しておらず、従来の工程数のまま、特性の向上を図ることができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例

【図2】従来例

【図3】熱処理時間と結晶化率の関係

【図4】本発明により作成した素子の配置例

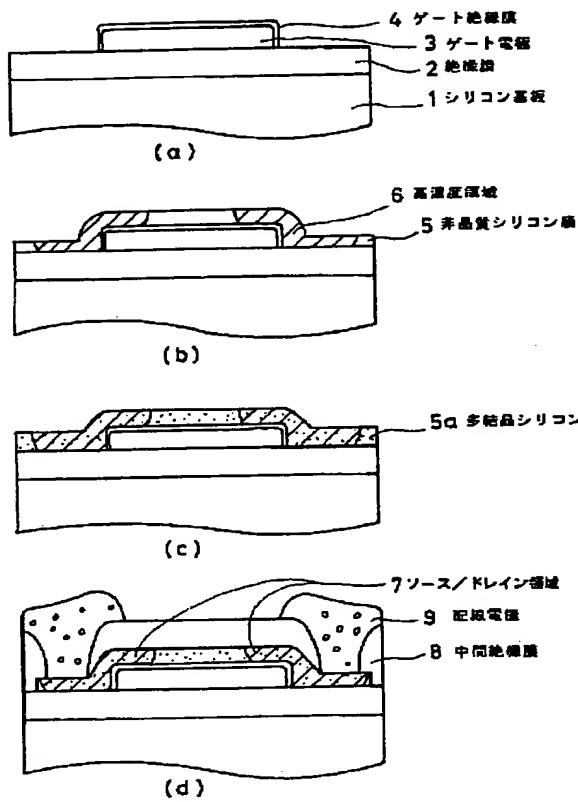
【図5】本発明の第2の実施例

【図6】本発明の第3の実施例

【符号の説明】

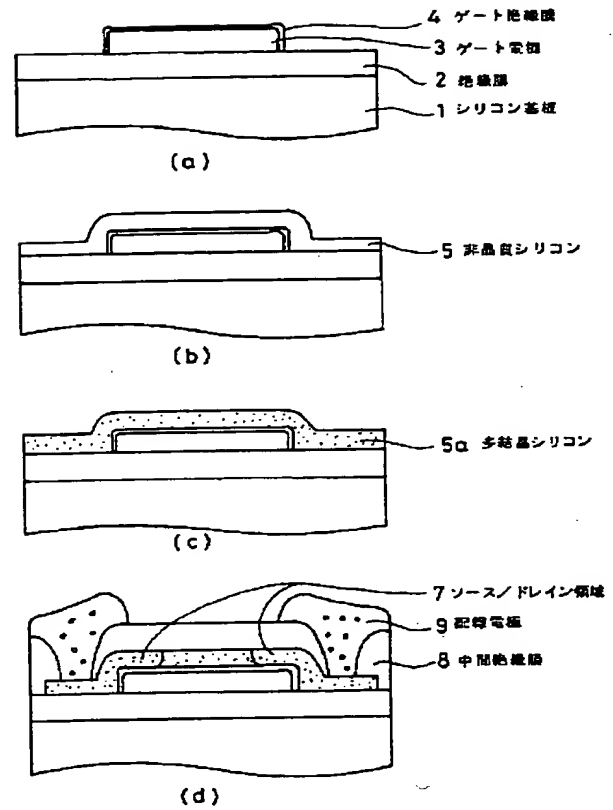
- 1 シリコン基板
- 2 絶縁膜
- 3 ゲート電極
- 4 ゲート絶縁膜
- 5 非晶質シリコン膜
- 5 a 多結晶シリコン膜
- 6 高濃度領域
- 10 高シリコン濃度領域
- 11 金属膜

【図1】



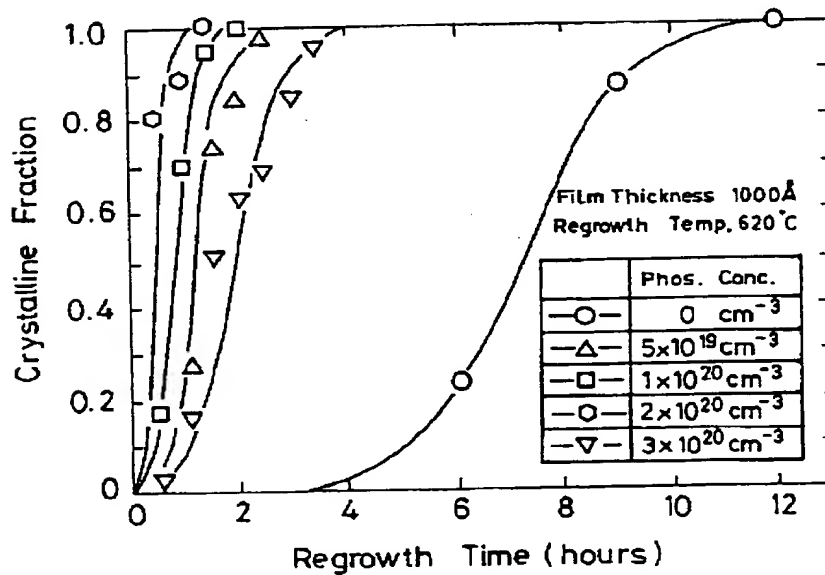
本発明の第1の実施例

【図2】



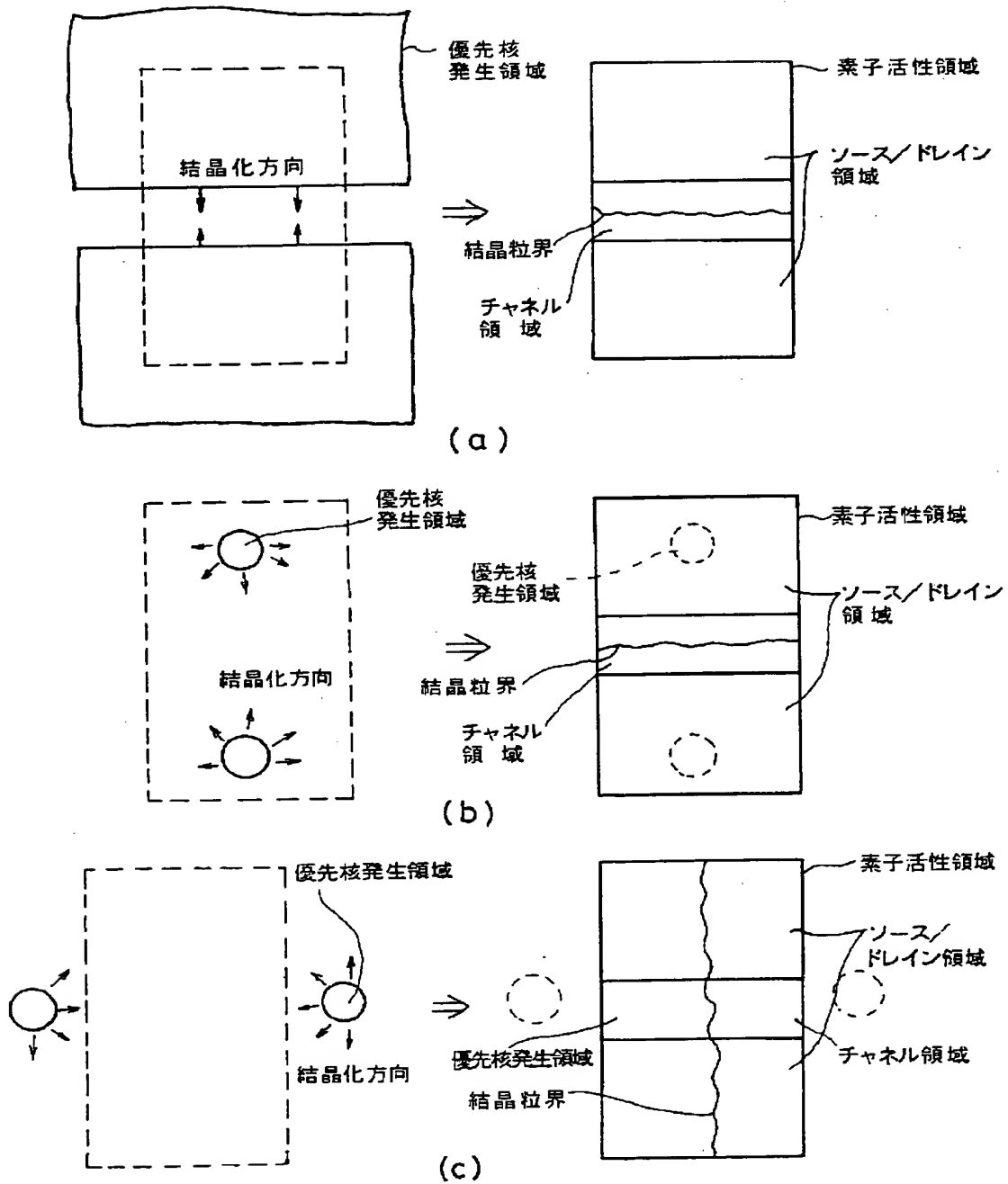
従来例

【図3】



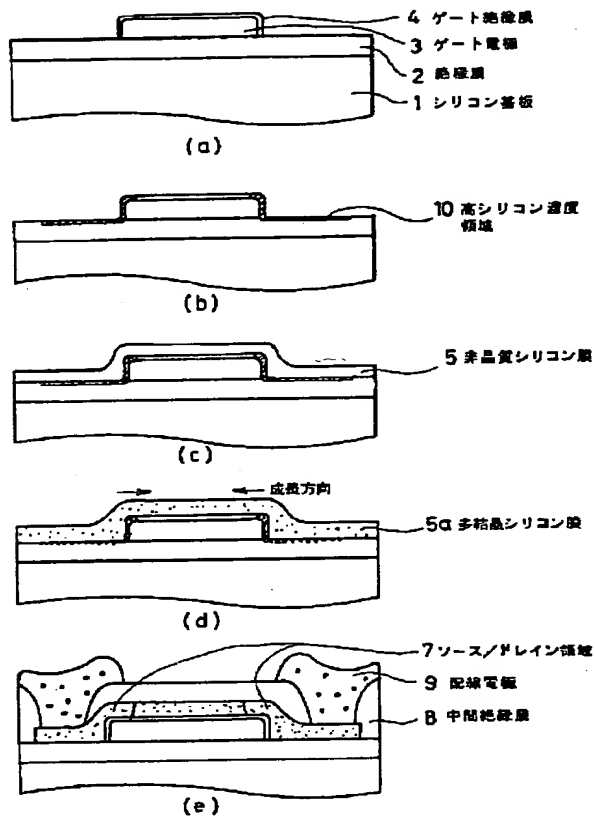
熱処理時間と結晶化率の関係

【図4】



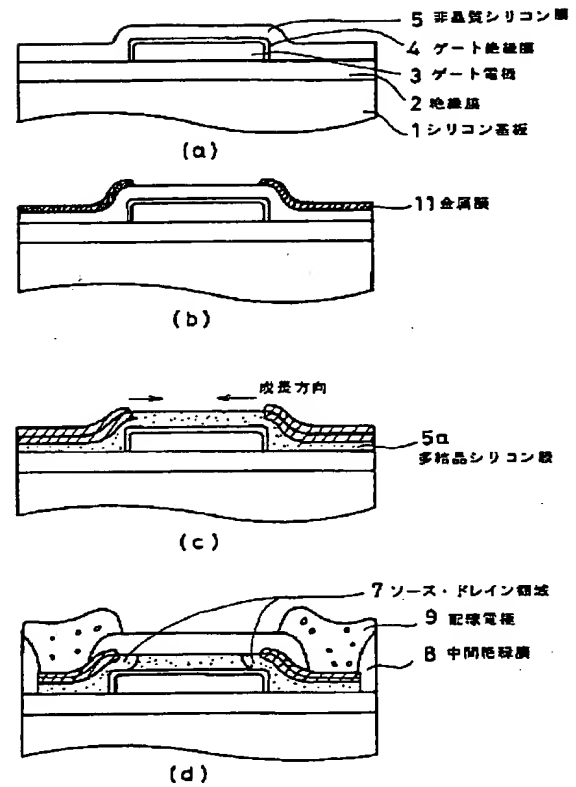
本発明により作成した素子の平面配置例

【図5】



本発明の第1の実施例

【図6】



本発明の第2の実施例